

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年12月19日

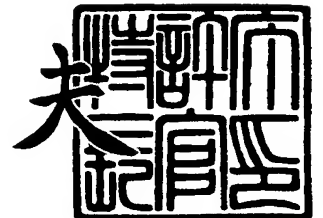
出願番号  
Application Number: 特願2003-423580  
[ST. 10/C]: [JP 2003-423580]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2004年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2004-3001579

【書類名】 特許願  
【整理番号】 P007596  
【提出日】 平成15年12月19日  
【あて先】 特許庁長官 殿  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 納 光明  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 安西 彩  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 岩淵 友幸  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 海老根 秀之  
【特許出願人】  
    【識別番号】 000153878  
    【氏名又は名称】 株式会社半導体エネルギー研究所  
    【代表者】 山崎 舜平  
【手数料の表示】  
    【予納台帳番号】 002543  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

発光素子と、直列に接続する書込用トランジスタ及びリセット用トランジスタと、直列に接続する駆動用トランジスタ及び交流用トランジスタと、

第 1 の制御ノードが第 1 の電源線に接続し、第 2 の制御ノードが第 2 の電源線に接続するアナログスイッチと、

ゲート電極が第 3 の電源線に接続し、ソース電極及びドレイン電極の一方が前記第 1 の電源線に接続し、他方が前記アナログスイッチの出力ノード及び走査線に接続するバイアス用トランジスタとを有し、

前記書込用トランジスタ及び前記リセット用トランジスタは、前記第 1 の電源線と信号線との間に直列に接続し、

前記駆動用トランジスタと発光素子は、前記第 1 の電源線と前記第 2 の電源線との間に直列に接続し、

前記駆動用トランジスタと前記交流用トランジスタは、前記第 1 の電源線と第 4 の電源線、又は前記第 1 の電源線と信号線との間に直列に接続することを特徴とする表示装置。

**【請求項 2】**

発光素子と、直列に接続する書込用トランジスタ及びリセット用トランジスタと、直列に接続する駆動用トランジスタ及び交流用トランジスタと、

ソース電位が低電位電位と同電位であり、ゲート電極が第 1 の電源線に接続するトランジスタを一端に配置し、ソース電位が高電位電位と同電位であり、ゲート電極が第 2 の電源線に接続するトランジスタを他端に配置するクロックドインバータと、

ゲート電極が第 3 の電源線に接続し、ソース電極及びドレイン電極の一方が前記第 1 の電源線に接続し、他方が前記クロックドインバータの出力ノード及び走査線に接続するバイアス用トランジスタとを有し、

前記書込用トランジスタ及び前記リセット用トランジスタは、前記第 1 の電源線と信号線との間に直列に接続し、

前記駆動用トランジスタと発光素子は、前記第 1 の電源線と前記第 2 の電源線との間に直列に接続し、

前記駆動用トランジスタと前記交流用トランジスタは、前記第 1 の電源線と第 4 の電源線、又は前記第 1 の電源線と信号線との間に直列に接続することを特徴とする表示装置。

**【請求項 3】**

請求項 1 又は請求項 2 において、前記交流用トランジスタのゲート電極は前記第 1 の電源線に接続し、前記交流用トランジスタのソース電極及びドレイン電極の一方は前記発光素子の第 1 及び第 2 の電極の一方に接続することを特徴とする表示装置。

**【請求項 4】**

請求項 1 又は請求項 2 において、前記発光素子の第 1 の電極は反射性を有し、第 2 の電極は透光性を有することを特徴とする表示装置。

**【請求項 5】**

請求項 1 又は請求項 2 において、前記発光素子の第 1 及び第 2 の電極は透光性を有することを特徴とする表示装置。

## 【書類名】明細書

## 【発明の名称】表示装置及びその駆動方法

## 【技術分野】

## 【0001】

本発明は、自発光型の発光素子を用いた表示装置及びその駆動方法に関する。

## 【背景技術】

## 【0002】

近年、発光素子を具備した表示装置の開発が進められている。発光素子を具備した表示装置は、高画質、薄型、軽量などの既存の液晶表示装置がもつ利点の他、応答速度が速く、視野特性が広いなどの特徴を有しているため、携帯端末を主な用途として、開発が進められている。発光素子は、2つの電極間に、有機材料や無機材料等の広汎にわたる材料により構成される層を有する。

## 【0003】

発光素子は、経時変化によりその輝度が低下する性質を有する。そのため、発光素子の劣化を抑制し、信頼性を向上させるため、該発光素子に逆方向バイアスを印加する方法がある（特許文献1参照）。また、発光素子と直列に接続され、発光素子の発光を制御するEL駆動用TFT、ビデオ信号の画素への入力を制御するスイッチング用トランジスタ（書込用トランジスタともいう）、EL駆動用TFTのオンオフを制御する消去用TFT（リセット用トランジスタともいう）が一画素内に設けられた表示装置がある（特許文献2参照）。

## 【0004】

【特許文献1】特開2001-117534号公報

【特許文献2】特開2001-343933号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

特許文献2の一画素の回路図を図9に示す。図9において、発光素子54に逆方向バイアスを印加する際には、アノード線18とカソード線19の電位を逆にする。具体的な条件を例に挙げて説明すると、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vというように、その電位を逆にする。このとき、TFT51及びTFT52のゲート電極にオフの信号電圧（0V）が入力されていた場合、両TFTともそのゲート・ソース間電圧は|8V|となるため、アノード線18とカソード線19の電位を逆にした瞬間にTFT51、52はオンする。そうすると、図示するように電流が流れ、信号線駆動回路103とアノード線18がショートしてしまう。

## 【0006】

そこで本発明は、アノード線と信号線がトランジスタを介して電氣的に接続された構成を有する表示装置において、逆バイアスを印加した際に、アノード線と信号線駆動回路に具備される電源線とのショートを防止した表示装置及びその駆動方法を提供する。

## 【課題を解決するための手段】

## 【0007】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。まず第1の手段として、走査線駆動回路に逆バイアス印加回路を設けられた表示装置を提供する。そして、信号線とアノード線の間に配置されたトランジスタに、該逆バイアス印加回路からの信号を供給し、当該トランジスタをオフにするように駆動して、信号線とアノード線とのショートを防止する表示装置の駆動方法を提供する。

## 【0008】

逆バイアス印加回路は、アナログスイッチ又はクロックドインバータと、バイアス用トランジスタとを具備する。アナログスイッチは、ゲート電極がアノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを有する。

**【0009】**

また、クロックドインバータは、ソース電位が低電位電圧VSSと同電位であり、ゲート電極がアノード線に接続されたトランジスタが一端に配置され、ソース電位が高電位電圧VDDと同電位であり、ゲート電極がカソード線に接続されたトランジスタが他端に配置された構成を有する。

**【0010】**

さらに、上記とは異なるクロックドインバータの構成として、ソース電位が低電位電圧VSSと同電位であり、ゲート電極が第1のレベルシフタを介してアノード線に接続されたトランジスタが一端に配置され、ソース電位が高電位電圧VDDと同電位であり、ゲート電極が第2のレベルシフタを介してカソード線に接続されたトランジスタが他端に配置された構成を有する。第1又は第2のレベルシフタは、電圧条件によって動作に必要ななければ、削除してもよく、例えば、第1のレベルシフタは削除してもよい。

**【0011】**

バイアス用トランジスタは、一定の電位に保たれた電源線にゲート電極が接続され、アノード線に第1の電極が接続され、アナログスイッチの出力端子及び走査線に第2の電極が接続される。

**【0012】**

上記構成を有する表示装置において、アノード線とカソード線の電位を反転して、発光素子に逆方向バイアスを印加すると同時に、アナログスイッチをオフにし、バイアス用トランジスタをオンにするように駆動する。そうすると、アノード線の電位と走査線の電位を同電位にすることができるため、アノード線と信号線との間に配置されたトランジスタを確実にオフする表示装置の駆動方法を提供することができる。

**【0013】**

第2の手段として、信号線駆動回路に逆バイアス印加回路を設けられた表示装置を提供する。逆バイアス印加回路は、信号線駆動回路に具備される電源線とアノード線とのショート防止するスイッチを有する。そして、このスイッチは、アノード線とカソード線の電位を利用して、オンとオフが決定される。

**【0014】**

逆バイアス印加回路は、アナログスイッチを有する。そして、アナログスイッチは、ゲート電極がアノード線に接続された第1のトランジスタと、ゲート電極がカソード線に接続された第2のトランジスタを具備するアナログスイッチを有し、アナログスイッチの出力端子と信号線は電氣的に接続する。

**【0015】**

上記構成を有する表示装置において、アノード線とカソード線の電位を反転して、発光素子に逆方向バイアスを印加すると同時に、アナログスイッチをオフにするように駆動する。そうすると、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることができるため、該アノード線と信号線駆動回路に具備される電源線との間のショート防止する表示装置の駆動方法を提供することができる。

**【0016】**

また本発明の表示装置は、発光素子を具備することを特徴とし、該発光素子の両電極は、一方はアノード線に接続され、他方はカソード線に接続されることを特徴とする。なお本発明において、アノード線とは発光素子の画素電極（陽極）が接続される配線であり、カソード線とは発光素子の対向電極（陰極）が接続される配線とする。

**【0017】**

また、走査線とは、信号線とアノード線との間のトランジスタのゲート電極に接続された全ての配線とする。図9に示す画素を例に挙げると、信号線57とアノード線18の間にトランジスタ51、52が配置されているので、それらのトランジスタのゲート電極に接続されている走査線58とリセット線59がここでいう走査線に相当する。

**【0018】**

本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設け、該逆バイ

アノード線とカソード線の電位が逆になることを利用する。そして、逆バイアス印加回路から供給される信号を用いて、アノード線と信号線の間に配置されたトランジスタを確実にオフにすることで、信号線とアノード線とのショートを防止することができる。また、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることで、アノード線と信号線駆動回路に具備される電源線との間のショートを防止することができる。

#### 【発明の効果】

##### 【0019】

本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設け、該逆バイアス印加回路は発光素子に逆バイアス印加する際に、アノード線とカソード線の電位が逆になることを利用する。そして、逆バイアス印加回路から供給される信号を用いて、アノード線と信号線の間に配置されたトランジスタを確実にオフにすることで、信号線とアノード線とのショートを防止することができる。また、アノード線と信号線駆動回路に具備される電源線との間のスイッチを確実にオフすることで、アノード線と信号線駆動回路に具備される電源線との間のショートを防止することができる。さらに、発光素子に逆方向バイアスを印加することで、該発光素子の経時劣化を抑制することができる。

#### 【発明を実施するための最良の形態】

##### 【0020】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

##### 【0021】

本実施の形態では、走査線駆動回路に具備される逆バイアス印加回路について説明する。逆バイアス印加回路から出力される信号は、画素における信号線とアノード線の間に配置されたトランジスタに供給される。そして、当該トランジスタをオフにして、信号線とアノード線とのショートを防止する。なお信号線とアノード線の間には、複数のトランジスタが配置されるが、前記複数のトランジスタのうち、少なくとも1つのトランジスタを確実にオフできるようにすればよい。

##### 【0022】

本実施の形態では、図9に示した構成の画素を用いる場合を例に挙げ、逆バイアス印加回路116は走査線58又はリセット線59に接続される場合を例に挙げる。逆バイアス印加回路116からの信号は、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52に供給され、両トランジスタのうちどちらかのトランジスタをオフにして、信号線57とアノード線18のショートを防止する。

##### 【0023】

図1(A)(B)において、逆バイアス印加回路116は、Nチャネル型トランジスタ20とPチャネル型トランジスタ21を含むアナログスイッチ28を有し、該アナログスイッチ28の出力端子は、走査線58又はリセット線59に接続される。また、Nチャネル型のバイアス用トランジスタ17を有し、ゲート電極は電源線27と接続され、ソース電極はアノード線18及びアナログスイッチ28の出力端子の一方に接続され、ドレイン電極は他方に接続される。電源線27の電位は一定電位に保たれており、ここでは0Vとする。なおトランジスタ17のゲート電極は、一定の電位に保たれた配線に接続されていればよく、本実施の形態では、電源線27に接続された場合を示した。

##### 【0024】

動作について、図1(C)のタイミングチャートに従って説明する。図1(C)では、逆バイアスを印加する期間をT2、それ以外の期間をT1として、期間T1、T2における動作について説明する。ここでは、一例として、アノード7V、カソード-8V、VD

Dは10V、VSSは0Vの条件下における動作について説明する。

【0025】

期間T1において(図1(A))、アノード線18の電位は7V、カソード線19の電位は-8V、電源線27の電位は7Vであるので、トランジスタ17はオフ、トランジスタ20、21はオンになる。そうすると、アナログスイッチ28から、G-OUTB(G-OUTの反転信号)が出力される。なおG-OUTとは、逆バイアス印加回路に隣接する回路から出力される信号を指し、例えば、バッファから出力される信号を指す。

【0026】

期間T2において(図1(B))、アノード線18とカソード線19の電位を逆にする。具体的には、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vにする。そうすると、トランジスタ17はオン、トランジスタ20、21はオフになり、アナログスイッチ28はオフになる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位(ここでは-8V)と走査線57又はリセット線59の電位が同電位となる。

【0027】

図1(B)の場合、アナログスイッチ28の出力端子が走査線58に接続されているため、アノード線18と走査線58の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51のゲート・ソース間電圧は0Vとなり、トランジスタ51はオフし、信号線57とアノード線18とのショートを防止することができる。このように、本発明は、走査線58又はリセット線59の電位をアノード線18の電位と同じにすることで、トランジスタ51又は52を確実にオフして、信号線57とアノード線18とのショートを防止する。

【0028】

次に、上記とは異なる実施の形態について、図2を用いて説明する。より詳しくはアナログスイッチ28ではなく、クロックドインバータを具備した逆バイアス印加回路116について説明する。

【0029】

図2(A)(B)において、逆バイアス印加回路116は、Nチャネル型トランジスタ11、12とPチャネル型トランジスタ13、14とが直列に接続されたクロックドインバータ29を有し、該クロックドインバータ29の出力端子は、走査線58又はリセット線59に接続される。トランジスタ11のソースはVSSと同電位であり、ゲート電極はアノード線18に接続される。トランジスタ14のソースはVDDと同電位であり、ゲート電極はカソード線19に接続される。また、Nチャネル型のバイアス用トランジスタ17を有する。電源線27の電位は一定電位に保たれており、ここでも0Vとする。

【0030】

動作について、上記と同様に、図1(C)のタイミングチャートに従って説明する。ここでは、一例として、アノード7V、カソード-8V、VDDは7V、VSSは0Vの条件下における動作について説明する。

【0031】

期間T1において(図2(A))、アノード線18の電位は7V、カソード線19の電位は-8Vであるので、トランジスタ11、14はオン、トランジスタ17はオフになる。このとき、クロックドインバータ29からはG-OUTBが出力される。

【0032】

期間T2において(図2(B))、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vに変える。そうすると、トランジスタ11、14はオフになり、クロックドインバータ29はハイインピーダンス状態になる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位(ここでは-8V)と走査線57又はリセット線59の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52のうち、どちらかのトランジスタがオフになり、信号線57と

アノード線 18 のショートを防止することができる。

【0033】

なお図 2 に示す構成において、アノード線 18 の電位  $V_a$  と  $VDD$  との関係が  $V_a < VDD$  の条件下では、逆バイアス印加時に、トランジスタ 14 がオンしてしまい、クロックドインバータ 29 がハイインピーダンス状態にならない。そのため、アノード線 18 の電位  $V_a$  と  $VDD$  は、 $V_a \geq VDD$  を満たすことが必須条件となる。

【0034】

続いて、上記とは異なる実施の形態について、図 3 (A) (B) を用いて説明する。より詳しくは、レベルシフタを具備した逆バイアス印加回路 116 について説明する。

【0035】

図 3 (A) (B) において、逆バイアス印加回路 116 は、トランジスタ 11 のゲート電極とアノード線 18 の間にレベルシフタ (LS1) 15、トランジスタ 14 とカソード線 19 の間にレベルシフタ (LS1) 16 を有する。そして、トランジスタ 17 のゲート電極がカソード線 19 に接続されている以外は、図 2 に示した構成と同じである。なお、トランジスタ 17 のゲート電極は、一定の電位に保たれた配線に接続されていればよく、カソード線 19 ではなく、新たに設けた電源線に接続されていてもよい。レベルシフタ (LS1) 15、16 の詳細な構成は後述するが、ここでは、レベルシフタ 15、16 は、7V を 10V、-8V を -8V にする。

【0036】

動作について、上記と同様に、図 1 (C) のタイミングチャートに従って説明する。ここでは、一例として、アノード 7V、カソード -8V、 $VDD$  は 10V、 $VSS$  は 0V の条件下における動作について説明する。

【0037】

期間 T1 において (図 3 (A))、アノード線 18 の電位は 7V、カソード線 19 の電位は -8V であり、トランジスタ 11 にはレベルシフタ 15 を介して 10V の信号が供給され、トランジスタ 14 にはレベルシフタ 16 を介して -8V の信号が供給される。そうすると、トランジスタ 11、14 はオン、トランジスタ 17 はオフになる。このとき、クロックドインバータ 29 からは G-OUTB が出力される。

【0038】

期間 T2 において (図 3 (B))、アノード線 18 の電位が 7V から -8V、カソード線 19 の電位が -8V から 7V に変化し、トランジスタ 11 にはレベルシフタ 15 を介して -8V の信号が供給され、トランジスタ 14 にはレベルシフタ 16 を介して 10V の信号が供給される。そうすると、トランジスタ 11 はオフ、14 はオフになり、クロックドインバータ 29 はハイインピーダンス状態になる。同時に、トランジスタ 17 を介して、アノード線 18 の電位が走査線 58 又はリセット線 59 に伝達され、アノード線 18 の電位 (ここでは -8V) と走査線 57 又はリセット線 59 の電位が同電位となる。そうすると、走査線 58 に接続されたトランジスタ 51 又はリセット線 59 に接続されたトランジスタ 52 のうち、どちらかのトランジスタがオフになり、信号線 57 とアノード線 18 のショートを防止することができる。

【0039】

レベルシフタ 15、16 は、クロックドインバータ 29 を構成するトランジスタ 11、14 を確実にオフする目的で設けられている。より詳しくは、逆バイアス印加時、トランジスタ 14 にカソード線 19 の電位 (この期間では 7V) を供給すると、そのゲート電位 (7V) とドレイン電位 ( $VDD$ 、10V) から、個々のトランジスタの特性によっては、そのソース・ドレイン間に電流が流れてしまう。そこで、レベルシフタ 16 を間に配置することで、トランジスタ 14 のゲート電位とドレイン電位 ( $VDD$ 、10V) とが同じ電位になるようにして、そのソース・ドレイン間に電流が流れないようにする。なお、図 3 に示す構成において、トランジスタ 11 には、レベルシフタ 15 を介してアノード線 18 の電位がそのまま伝達されているため、レベルシフタ 15 を配置しなくても構わない。

【0040】



続いて、上記とは異なる本発明の実施の形態について、図3 (C) を用いて説明する。

【0041】

図3 (C) において、逆バイアス印加回路116は、トランジスタ11のゲート電極とアノード線18の間にレベルシフト (LS2) 25を有する。そして、トランジスタ17のゲート電極が電源線27に接続されている以外は、図3 (A) (B) に示した構成と同じである。レベルシフト (LS2) 26の詳細な構成は後述するが、ここでは、レベルシフト26は、7Vを7V、-8Vを0Vにする。

【0042】

動作について、上記と同様に、図1 (C) のタイミングチャートに従って説明する。ここでは、一例として、アノード7V、カソード-8V、VDDは10V、VSSは0Vの条件下における動作について説明する。

【0043】

期間T1において、アノード線18の電位は7V、カソード線19の電位は-8Vであり、トランジスタ11にはレベルシフト25を介して7Vの信号が供給され、トランジスタ14にはレベルシフト16を介して-8Vの信号が供給される。そうすると、トランジスタ11、14はオン、トランジスタ17はオフになる。このとき、クロックドインバータ29からはG-OUTBが出力される。

【0044】

期間T2において (図3 (C))、アノード線18の電位が7Vから-8V、カソード線19の電位が-8Vから7Vに変化し、トランジスタ11にはレベルシフト25を介して0Vの信号が供給され、トランジスタ14にはレベルシフト16を介して10Vの信号が供給される。そうすると、トランジスタ11、14はオフになり、クロックドインバータ29はハイインピーダンス状態になる。同時に、トランジスタ17を介して、アノード線18の電位が走査線58又はリセット線59に伝達され、アノード線18の電位 (ここでは-8V) と走査線57又はリセット線59の電位が同電位となる。そうすると、走査線58に接続されたトランジスタ51又はリセット線59に接続されたトランジスタ52のうち、どちらかのトランジスタがオフになり、信号線57とアノード線18のショートを防止することができる。

(実施の形態2)

【0045】

本実施の形態では、信号線駆動回路に具備される逆バイアス印加回路について説明する。逆バイアス印加回路は、信号線駆動回路に具備される電源線とアノード線18とのショートを防止するスイッチが具備される。そして、このスイッチは、アノード線18とカソード線19の電位を利用して、オンとオフが決定する。

【0046】

図4において、逆バイアス印加回路117は、Nチャネル型トランジスタ40とPチャネル型トランジスタ41を含むアナログスイッチ42を有し、該アナログスイッチ42は信号線59に接続される。

【0047】

動作について、以下に説明する。ここでは、一例として、アノード7V、カソード-8Vの条件下における動作について説明する。

【0048】

逆バイアスを印加しない期間において、アノード線18の電位は7V、カソード線19の電位は-8Vであるので、トランジスタ20、21はオンになる。このとき、アナログスイッチ28からは、S-OUTB (S-OUTの反転信号) が出力される。

【0049】

逆バイアスを印加する期間において、アノード線18の電位を7Vから-8V、カソード線19の電位を-8Vから7Vに変わる。そうすると、トランジスタ20、21はオフになり、アナログスイッチ28はオフとなる。従って、画素と逆バイアス印加回路117はオフになり、信号線駆動回路に具備される電源線とアノード線18とのショートを防止

することができる。

(実施の形態3)

【0050】

逆バイアス印加回路を構成する素子として、アナログスイッチを設ける場合とその動作(図1、4)について上述した。本実施の形態では、アナログスイッチを構成するトランジスタとしてノーマリーオンのディプリーション型のトランジスタを用いる場合について説明する。

【0051】

トランジスタのしきい値電圧の制御は、導電型を付与する不純物のチャネル形成領域に対するドーズ量等の調整で可能である。つまり、チャネル形成領域に対するドーズ量などの調整により、ディプリーション型のトランジスタを作製することができる。

【0052】

ディプリーション型のトランジスタと、ノーマリーオフのエンハンスメント型のトランジスタに同じ高さのゲート電圧を与えた場合、そのゲートオーバードライブ電圧(ゲート電圧 $V_{gs}$ －閾値電圧 $V_{th}$ )の絶対値は、ディプリーション型のトランジスタの方が大きくなる。つまり、ディプリーション型の場合は、ゲート電圧の高さが同じでもより高いオン電流を得ることができる。また、エンハンスメント型の場合と同じオン電流で構わない場合は、そのチャネル長(L)やチャネル幅(W)を小さくすることができる。

【0053】

つまり、本発明の逆バイアス印加回路が有するアナログスイッチに、ディプリーション型のトランジスタを用いると、該トランジスタのL/Wを小さくすることができるため、基板上の実装面積の縮小につながる。

【0054】

また、本発明の逆バイアス印加回路は、アノード線とカソード線の電位を利用することを特徴とする。このとき、アノード線とカソード線の電位差の幅は、電源電圧の幅よりも大きい。従って、ディプリーション型のトランジスタを用いても、電位設定によっては、そのゲート・ソース間電圧から、オフしたいときに、確実にオフさせることができる。なお、ノーマリーオンのトランジスタは、アナログスイッチを構成するN型トランジスタ及びP型トランジスタの両者に用いてもよいし、どちらか一方のみに用いてもよい。どちらか一方のみに用いる場合は、P型トランジスタに用いることが好適である。

【実施例1】

【0055】

本実施例では、走査線駆動回路に具備される逆バイアス印加回路116が有するレベルシフタについて、図5を用いて説明する。

【0056】

本実施例では、一例として、図5(A)に示すように、7Vを10V、-8Vを-8Vにするレベルシフタの構成について説明する。図5(B)は、レベルシフタの等価回路図であり、当該レベルシフタは、直列に接続されたPチャネル型トランジスタ31及びNチャネル型トランジスタ33と、Pチャネル型トランジスタ32及びNチャネル型トランジスタ34を含む。

【0057】

動作について簡単に説明すると、レベルシフタに入力される信号 $V_{in1}$ が7V、 $V_{in2}$ が-8Vのとき、トランジスタ33、32がオンして、OUTには10Vの信号が出力される。また、 $V_{in1}$ が-8V、 $V_{in2}$ が7Vのとき、トランジスタ34がオンして、OUTには-8Vの信号が出力される。このように、レベルシフタは、入力される信号電圧を所望の値にすることができる。レベルシフタを逆バイアス印加回路に組み込む際には、トランジスタ31、32のソース電位と、トランジスタ33、34のソース電位の値を適宜設定して、所望の信号電圧が出力されるようにする。

【0058】

本実施例は、上記の実施の形態と自由に組み合わせることができる。

2

## 【0059】

本発明の表示装置をデジタル駆動する場合には、多階調の画像を表現するために時間階調方式を用いる。本実施例では、図9(A)に示した画素を用いた表示装置において、逆バイアスを印加するタイミングについて図6(A)(B)を用いて説明する。図6(A)は、縦軸は走査線、横軸は時間のときのタイミングチャートを示し、図6(B)はj行目の走査線のタイミングチャートを示す。

## 【0060】

表示装置は、そのフレーム周波数を通常60Hz程度とする。つまり、1秒間に60回程度の画面の描画が行われ、画面の描画を1回行う期間を1フレーム期間と呼ぶ。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多く、ここでは簡単のために、分割数が階調ビット数に等しい場合を示す。つまり本実施例では5ビット階調を例示しているので、5つのサブフレーム期間SF1～SF5に分割した例を示す。各サブフレーム期間は、画素にビデオ信号を書き込むアドレス期間Taと、画素が点灯又は非点灯するサステイン期間Tsを有する。サステイン期間Ts1～Ts5は、その長さの比をTs1:・・・:Ts5=16:8:4:2:1とする。つまり、nビット階調を表現する場合、n個のサステイン期間は、その長さの比を $2^{(n-1)}:2^{(n-2)}:・・・:2^1:2^0$ とする。

## 【0061】

そして図6において、サブフレーム期間SF5は消去期間Te5を有する。消去期間Te5では、画素に書き込まれたビデオ信号をリセットする。そして、消去期間Te5の終了後、逆バイアス印加期間Trが設けられる。この逆バイアス印加期間Trでは、全ての画素で同時に逆バイアスが印加される。

## 【0062】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらにフレーム期間毎に、その順序が変化してもよい。

## 【0063】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

3

## 【0064】

本実施例では、表示装置の構成について図7を用いて説明する。

## 【0065】

図7(A)において、基板107上に、複数の画素101がマトリクス状に配置された画素部102を有し、画素部102の周辺には、信号線駆動回路103、第1の走査線駆動回路104及び第2の走査線駆動回路105を有する。図7(A)においては、信号線駆動回路103と、2組の走査線駆動回路104、105を有しているが、本発明はこれに限定されず、駆動回路の個数は画素の構成に応じて任意に設定すればよい。これらの駆動回路は、FPC106を介して外部より信号が供給される。

## 【0066】

図7(B)には、第1の走査線駆動回路104及び第2の走査線駆動回路105の構成を示し、当該走査線駆動回路104、105は、シフトレジスタ114、バッファ115、逆バイアス印加回路116を有する。また、図7(C)には、信号線駆動回路103の構成を示し、当該信号線駆動回路103はシフトレジスタ111、第1のラッチ回路112、第2のラッチ回路113、逆バイアス印加回路117を有する。このように、本発明の逆バイアス印加回路116、117は、画素部102の周囲に配置される。

## 【0067】

なお、走査線駆動回路と信号線駆動回路の構成は、上記記載に限定されず、例えばサンプリング回路やレベルシフタなどを具備していてもよい。また、上記駆動回路以外に、C

P Uやコントローラなどの回路を基板107に一体形成してもよい。そうすると、接続する外部回路（IC）の個数が減少し、軽量、薄型がさらに図れるため、携帯端末などには特に有効である。

#### 【0068】

本発明の逆バイアス印加回路は、アナログスイッチ又はクロックインバータと、バイアス用トランジスタを具備した構成を有する。このように、構成する素子数は少ないため、この逆バイアス印加回路を駆動回路に組み込んでも、実装面積の大幅な拡大にはつながらず、簡単に作製することができる。

#### 【0069】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

4

#### 【0070】

本発明を適用して作製される電子機器の一例として、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（携帯電話、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図8に示す。

#### 【0071】

図8(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。図8(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。図8(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。

#### 【0072】

図8(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。図8(E)は記録媒体を備えた携帯型の画像再生装置であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。図8(F)はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503を含む。

#### 【0073】

図8(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。図8(H)は携帯端末のうちの携帯電話機であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。

#### 【0074】

上記の電子機器において、本発明は表示部の構成と、該表示部の駆動方法に適用される。本発明により、経時劣化する性質がある発光素子を有するパネルを具備した場合であっても、ショートすることなく逆バイアスを印加することができるため、該経時劣化を抑制できる。従って、エンドユーザに渡った後も、ユーザが電子機器を使用していないタイミングに逆バイアスを印加することで、機器本体の長寿命化が実現される。

#### 【0075】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

5

#### 【0076】

デジタルのビデオ信号を用いる場合、そのビデオ信号が電圧を用いているのか、電流を用いているのかで異なる。つまり、発光素子の発光時において、画素に入力されるビデ

オ信号は、定電圧のものと、定電流のものがある。

ビデオ信号が定電圧のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。またビデオ信号が定電流のものには、発光素子に印加される電圧が一定のものと、発光素子に流れる電流が一定のものがある。

この発光素子に印加される電圧が一定のものは定電圧駆動であり、発光素子に流れる電流が一定のものは定電流駆動である。定電流駆動は、発光素子の抵抗変化によらず、一定の電流が流れる。

#### 【0077】

本発明の表示装置及びその駆動方法には、電圧のビデオ信号、電流のビデオ信号のどちらを用いてもよく、また定電圧駆動、定電流駆動のどちらを用いてもよい。

#### 【0078】

ビデオ信号が電圧を用いており、且つ発光素子に流れる電流が一定のものを用いる場合、発光素子を駆動する駆動用トランジスタのチャネル長を長く設定することが好適である。これは、ゲート長を通常よりも大きく設定することで、しきい値近傍の  $V_{gs}$  を使わないため、各画素の発光素子に流れる電流値のバラツキを低減することができるためである。

6

#### 【0079】

本実施例では、画素の構成とその動作について、図11を用いて説明する。

#### 【0080】

まず、画素11100の構成について、図11(A)を用いて説明する。画素11100は、図1に示す画素101と同様の構成の画素である。画素11100は信号線11001、アノード線（以下第1の電源線と表記）11002、走査線11003、リセット線11004、書込用トランジスタ11005、リセット用トランジスタ11006、駆動用トランジスタ11007、カソード線（以下第2の電源線と表記）11008、発光素子（以下EL素子と表記）11011を有する。

#### 【0081】

次に、画素11100の動作について説明する。まず、走査線11003に選択パルスが入力され、書込用トランジスタ11006がオンし、信号線11001に出力されたビデオ信号が駆動用トランジスタ11007のゲート電極に入力される。前記ビデオ信号がHレベルの場合駆動用トランジスタ11007はオフし、Lレベルの場合駆動用トランジスタ11007はオンする。駆動用トランジスタ11007のオン、オフにより、EL素子11011への電流供給が制御され、発光、非発光が決定される。この時リセット用トランジスタ11006はオフしている。

#### 【0082】

続いて、EL素子11011への電流供給を強制的に遮断する場合は、リセット線11004に選択パルスが入力され、リセット用トランジスタ11006がオンし、第1の電源線11002の電位が駆動用トランジスタ11007のゲート電極に入力される。駆動用トランジスタ11007のゲート電極とソース電極が同電位になるため、オフになる。

#### 【0083】

逆バイアス印加期間には、第1の電源線11002の電位と第2の電源線11008の電位が入れ替わる。この時、EL素子の成膜不良等により画素電極11012と第2の電源線11008が短絡している場合には駆動用トランジスタ11007がオンし、前記短絡箇所には電流が流れる。そうすると、短絡箇所は、焼き切れ絶縁化する。画素電極11012と第2の電源線11008の短絡箇所がある画素は常に非発光状態であったり、所望の輝度を得られなかったり等の不良となってしまうが、前述の短絡箇所には電流を流し絶縁化することで不良が解消される。

#### 【0084】

次に、駆動用トランジスタ11007を電流源として用いる場合について図11(B)を用いて説明する。

**【0085】**

画素11101は信号線11001、第1の電源線11002、走査線11003、リセット線11004、書込用トランジスタ11005、リセット用トランジスタ11006、駆動用トランジスタ11007、第2の電源線12008、交流用電源線10009、交流用トランジスタ10010、EL素子11011、画素電極11012を有し、画素11101との違いは交流用電源線11009及び交流用トランジスタ11010が追加された点のみである。

**【0086】**

交流用トランジスタ11010のゲート電極は第1の電源線11002に接続され、交流用トランジスタ11010のソースまたはドレイン電極の一方は画素電極11012に接続され、他方は交流用電源線11009に接続されている。

**【0087】**

なお上記構成では、交流用トランジスタ11010のソース、ドレイン電極の一方を画素電極11012に接続し、他方を交流用電源線11009に接続するとしたが、前記他方を信号線11001に接続してもよい。また、画素電極11012と第1の電源線11002の間にダイオードを接続してもよい。この場合、交流用電源線11009を削除することができる。

**【0088】**

つまり、画素11100はEL素子11011と、直列に接続する書込用トランジスタ11005及びリセット用トランジスタ11006と、直列に接続する駆動用トランジスタ11007及び交流用トランジスタ11010とを有する。そして、書込用トランジスタ11005及びリセット用トランジスタ11006は、第1の電源線11002と交流用電源線11009（第4の電源線ともよぶ）との間に直列に接続する。また、駆動用トランジスタ11007と発光素子11011は、第1の電源線11002と第2の電源線11008との間に直列に接続する。また、駆動用トランジスタ11007と交流用トランジスタ11010とは、第1の電源線11002と交流用電源線11009の間、又は第1の電源線11002と信号線11001の間に直列に接続する。

**【0089】**

ここでは、駆動用トランジスタ11007を定電流源として用いるため、EL素子11011に流す電流値は、駆動用トランジスタ11007の特性によって決定される。そのため、前記電流値に合わせ、比較的インピーダンスの高いトランジスタを用いることが望ましい。

**【0090】**

続いて、画素11101の動作について説明する。順バイアス印加期間においては、前述の通りである。

**【0091】**

次に、逆バイアス印加期間には、第1の電源線11002の電位と第2の電源線11008の電位が入れ替わる。この時、EL素子の成膜不良等により画素電極11012と第2の電源線11008が短絡している場合には、交流用トランジスタ11010がオンし、前記短絡箇所には電流が流れる。そうすると、短絡箇所は、焼き切れて絶縁化する。駆動用トランジスタ11007のインピーダンスが高い場合、前記短絡箇所を絶縁するのに十分な電流を流せないが、交流用電源線11009及び交流用トランジスタ11010を追加することで、十分な電流を流すことができ、不良を解消することができる。

**【0092】**

本実施例では、逆バイアス印加期間において第1の電源線11002と第2の電源線11008の電位を入れ替える場合のみ説明したが、本発明はこれに制約されない。第2の電源線11008の電位よりも、画素電極11012の電位を低くするように、電位を設定すればよい。また、本実施例では書込用トランジスタ11005及びリセット用トランジスタ11006がN型トランジスタ、駆動用トランジスタ11007及び交流用トランジスタ11010がP型トランジスタの場合を説明したが、トランジスタの極性はこれに

限らず、任意に設定すればよい。

#### 【0093】

本発明は、上述の構成を有する画素 1 1 1 0 0、1 1 1 0 1 を制御する走査線駆動回路と信号線駆動回路に、実施の形態において上述した逆バイアス印加回路を設けた表示装置を提供することを特徴とする。逆バイアス印加回路は、第 1 の制御ノードが第 1 の電源線 1 1 0 0 2 に接続し、且つ第 2 の制御ノードが第 2 の電源線 1 1 1 0 0 に接続するアナログスイッチと、ゲート電極が電源線に接続し、且つソース電極及びドレイン電極の一方が第 1 の電源線 1 1 1 0 0 2 に接続し、なお且つ他方が前記アナログスイッチの出力ノード及び走査線 1 1 0 0 1 に接続するバイアス用トランジスタとを有する。上記構成の場合、アナログスイッチの入力ノードは、逆バイアス印加回路に隣接する回路（例えばバッファ）に接続する。また、上記構成とは異なる構成として、逆バイアス印加回路は、ソース電位が低電位電位と同電位であり、且つゲート電極が第 1 の電源線に接続するトランジスタを一端に配置し、ソース電位が高電位電位と同電位であり、且つゲート電極が第 2 の電源線に接続するトランジスタを他端に配置するクロックドインバータと、ゲート電極が電源線に接続し、且つソース電極及びドレイン電極の一方が前記第 1 の電源線に接続し、なお且つ他方が前記クロックドインバータの出力ノード及び走査線に接続するバイアス用トランジスタとを有する。上記構成の場合、クロックドインバータの入力ノードは、逆バイアス印加回路に隣接する回路に接続する。逆バイアス印加回路を有する本発明は、第 1 の電源線と信号線駆動回路に具備される電源線との間のショートを防止することができる。また、逆方向バイアスを印加することで、発光素子の経時劣化を抑制した表示装置を提供することができる。

7

#### 【0094】

本実施例では、図 1 1 (A) の画素の上面図の一例について、図 1 0 を用いて説明する。

#### 【0095】

図 1 1 (A) の画素 1 1 1 0 0 の信号線 1 1 0 0 1 は図 1 0 の 1 0 0 0 1、電源線 1 1 0 0 2 は、1 0 0 0 2、走査線 1 1 0 0 3 は 1 0 0 0 3 に、リセット線 1 1 0 0 4 は 1 0 0 0 4 に、書込用トランジスタ 1 1 0 0 5 は 1 0 0 0 5 に、リセット用トランジスタ 1 1 0 0 6 は 1 0 0 0 6 に、駆動用トランジスタ 1 1 0 0 7 は 1 0 0 0 7 に、画素電極 1 1 0 1 2 は 1 0 0 0 8 にそれぞれ相当する。

#### 【0096】

本実施例に示すように、電源線 1 0 0 0 2 を隣り合う画素で共有し、電源線 1 0 0 0 2 の下に駆動用トランジスタ 1 0 0 0 7 を配置することにより、駆動用トランジスタ 1 0 0 0 7 のゲート電極と電源線 1 0 0 0 2 との間で十分な保持容量を取ることができる。また、前記保持容量が信号線 1 0 0 0 1 と離れるため、信号線のノイズの影響を抑えることができる。

#### 【0097】

また、EL素子の特性がRGBによって違う場合において、各電源線の電位をRGBによって変えることでホワイトバランスを調整する場合には、前述の様に隣り合う電源線を共有する必要はない。

8

#### 【0098】

本実施例では、図 1 1 (B) の画素 1 1 0 0 1 の上面図の一例について、図 1 2 を用いて説明する。

#### 【0099】

図 1 1 (B) の画素 1 1 1 0 1 の信号線 1 1 0 0 1 は図 1 2 の 1 2 0 0 1、電源線 1 1 0 0 2 は、1 2 0 0 2、走査線 1 1 0 0 3 は 1 2 0 0 3 に、リセット線 1 1 0 0 4 は 1 2 0 0 4 に、書込用トランジスタ 1 1 0 0 5 は 1 2 0 0 5 に、リセット用トランジスタ 1 1 0 0 6 は 1 2 0 0 6 に、駆動用トランジスタ 1 1 0 0 7 は 1 2 0 0 7 に、交流用電源線 1

1009は12009に、交流用トランジスタ11010は12010に、画素電極11012は12008にそれぞれ相当する。

#### 【0100】

本実施例に示すように、電源線12002を隣り合う画素で共有し、電源線12002の下に駆動用トランジスタ12007を配置することにより、駆動用トランジスタ12007のゲート電極と電源線12002との間で十分な保持容量を取ることができる。また、前記保持容量が信号線12001と離れるため、信号線のノイズの影響を抑えることができる。

#### 【0101】

また、EL素子の特性がRGBによって違う場合において、各電源線の電位をRGBによって変えることでホワイトバランスを調整する場合には、前述の様に隣り合う電源線を共有する必要はない。

9

#### 【0102】

本発明の表示装置の一形態である、表示領域及びドライバを搭載したパネルについて、図面を用いて説明する。基板1405上には、発光素子を含む画素を複数含む表示領域1404、ソースドライバ1403、第1及び第2のゲートドライバ1401、1402、接続端子1415及び接続フィルム1407が設けられる(図13(A)(B)参照)。接続端子1415は、異方導電性粒子等を介して、接続フィルム1407と接続する。接続フィルム1407はICチップと接続する。

#### 【0103】

図13(B)はパネルのA-A'における断面図を示し、表示領域1404に設けられた電流制御用TFT1409及び駆動用TFT1410と、ソースドライバ1403に設けられたCMOS回路1414を示す。また、表示領域1404に設けられた導電層1411、電界発光層1412及び導電層1413を示す。導電層1411は駆動用TFT1410のソース電極又はドレイン電極に接続する。また、導電層1411は画素電極として機能し、導電層1413は対向電極として機能する。導電層1411、電界発光層1412及び導電層1413の積層体は発光素子に相当する。

#### 【0104】

表示領域1404とドライバ1401～1403の周囲にはシール材1408が設けられ、発光素子は、該シール材1408と対向基板1406により封止される。この封止処理は、発光素子を水分から保護するための処理であり、ここではカバー材(ガラス、セラミックス、プラスチック、金属等)により封止する方法を用いるが、熱硬化性樹脂や紫外光硬化性樹脂を用いて封止する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法を用いてもよい。

#### 【0105】

基板1405上に形成される素子は、非晶質半導体に比べて移動度等の特性が良好な結晶質半導体(ポリシリコン)により形成されること好適であり、そうすると、同一表面上におけるモノリシック化が実現される。上記構成を有するパネルは、接続する外部ICの個数が減少するため、小型・軽量・薄型が実現される。

#### 【0106】

また、図13(B)において、導電層1411は透明導電膜で形成し、導電層1413は反射膜で形成される。よって、電界発光層1412から発せられる光は、矢印で示すとおり、導電層1411を透過して、基板1405側に出射される。一般的にこのような構成は下面出射方式と呼ばれる。また、下面出射方式を採用したパネルはボトムエミッションパネルと呼ばれる。

#### 【0107】

これに対し、導電層1411を反射膜で形成し、導電層1413を透明導電膜で形成することにより、図14(A)に示すように、電界発光層1412から発せられる光を対向基板1406側に出射させる構成も可能である。一般的にこのような構成は上面出射方式と



呼ばれる。また、上面出射方式を採用したパネルはトップエミッションパネルと呼ばれる。

#### 【0108】

また、駆動用 T F T 1410 のソース電極又はドレイン電極と導電層 1411 とは、絶縁層を介することなく、同一の層に積層形成され、膜が重なることによって直接接続される。よって、導電層 1411 の形成領域は、駆動用 T F T 1411 等が配置されている領域を除いた領域となるため、画素の高精細化等に伴い、開口率の低下が避けられない。よって、図 14 (B) に示すように、層間膜を追加し、独立した層に画素電極を設け、上面出射方式とすることにより、T F T 等が形成されている領域も有効に発光領域として活用出来る。このとき、電界発光層 1412 の膜厚によっては、画素電極 1411 と駆動用 T F T 1410 のソース電極又はドレイン電極とのコンタクト領域において、導電膜 1411 と導電膜 1413 とのショートが生ずる可能性があるため、バンク 1416 等を設け、ショートを防止する構成が望ましい。

#### 【0109】

さらに、図 15 に示すように、導電膜 1411 と導電膜 1413 とをいずれも透明導電膜で形成することにより、基板 1405 側と対向基板 1406 側の両方に電界発光層 1413 からの出射光を取り出す構成も可能である。このような構成は両面出射方式と呼ばれる。また、両面出射方式を採用したパネルはデュアルエミッションパネルとよばれる。

#### 【0110】

図 15 の場合、上面出射側と下面出射側の発光面積はおおむね等しいが、前述のように、層間膜を追加して画素電極の面積を大きくすれば、上面出射側の開口率が高く出来ることは言うまでも無い。

#### 【0111】

但し、本発明は上記の実施例に制約されない。例えば、表示領域 1404 は絶縁表面上に形成された非晶質半導体(アモルファスシリコン)をチャンネル部とした T F T により構成し、ドライバ 1401 ~ 1403 は I C チップにより構成してもよい。I C チップは、C O G 方式により基板上に貼り合わせたり、基板に接続する接続フィルムに貼り合わせたりしてもよい。非晶質半導体は、C V D 法を用いることで、大面積の基板に形成することができ、かつ結晶化の工程が不要であることから、安価なパネルの提供を可能とする。簡単にまた、この際、インクジェット法に代表される液滴吐出法により導電層を形成すると、より安価なパネルの提供を可能とする。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

10

#### 【0112】

本発明の表示装置の構成要素である発光素子の構成について説明する。発光素子は、ガラス、石英、金属や有機物等の絶縁表面を有する基板の一表面に設けられた導電層、電界発光層及び導電層の積層体に相当する。発光素子は、電界発光層が複数の層からなる積層型、電界発光層が一つの層からなる単層型、電界発光層が複数の層からなるがその境界が明確ではない混合型のいずれでもよい。また、発光素子の積層構造には、下から陽極に相当する導電層\電界発光層\陰極に相当する導電層を積層する順積み構造、下から陰極に相当する導電層\電界発光層\陽極に相当する導電層を積層する逆積み構造があるが、光の発する方向に従って、適切な構造を選択するとよい。電界発光層には有機材料(低分子、高分子、中分子)、有機材料と無機材料を組み合わせた材料、シングレット材料、トリプレット材料又はそれらを組み合わせた材料のいずれを用いてもよい。

#### 【0113】

また、図 13 (B)、14、15 に示したように、発光素子が光を発する方向は、以下の 3 つに分別することが可能であり、1 つは、発光素子が基板側に発光する場合(下面出射方式)、1 つは基板と対向する対向基板側に発光する場合(上面出射方式)、1 つは基板側と対向基板側に発光する場合、つまり基板の一表面及び反対の表面に発光する場合(両面出射方式)である。両面出射を行う場合、基板及び対向基板は透光性を有することが

必須の要件となる。また発光素子から発せられる光には、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあり、本発明はその一方又は両方を用いることができる。

【0114】

なお、発光素子に電流が流れて発光する状態とは、発光素子の両電極間に順方向バイアスの電圧が印加された状態である。

【0115】

発光素子は、広視野角、バックライトを必要としないことによる薄型、軽量を実現し、また応答速度が速いために動画の表示に適する。このような発光素子を用いた表示装置を用いることにより、高機能化と高付加価値化が実現する。本実施例は、上記の実施の形態と自由に組み合わせることができる。

11

【0116】

発光素子は、一对の電極間に、様々な材料からなる単数又は複数の層（以下電界発光層と称する）が挟まれた構造を有する。発光素子は、以下に示すような要因により、陽極と陰極が短絡する初期不良が生じることがある。第1の要因として、異物（ゴミ）の付着による陽極と陰極の短絡、第2の要因として、陽極の微細な突起（凸凹）により電界発光層にピンホールが生じ、このピンホールに起因した陽極と陰極の短絡、第3の要因として、電界発光層が均一に成膜されずに、前記電界発光層にピンホールが生じ、このピンホールに起因した陽極と陰極の短絡などがある。第3の要因は、そもそも電界発光層の膜厚が薄いことも関係する。このような初期不良が発生した画素では、信号に応じた点灯及び非点灯が行われず、電流のほとんどすべてが短絡部を流れて素子全体が消光する現象が生じたり、特定の画素が点灯又は非点灯しない現象が生じたりして、画像の表示が良好に行われないという問題が発生する。上記問題を鑑み、上述したように、本発明は、発光素子に逆方向バイアスを印加することができる表示装置及びその駆動方法を提供する。逆方向バイアスの印加により、陽極と陰極の短絡部のみに局所的に電流が流れ、該短絡部は発熱する。そうすると、短絡部は酸化又は炭化して絶縁化する。その結果、初期不良が生じて、その不良を解消し、画像の表示を良好に行うことができる表示装置を提供することができる。なお、このような初期不良の絶縁化は、出荷前に行うとよい。

【0117】

また、発光素子は、上述の初期不良とは別に、進行性不良が生じることがある。進行性不良とは、時間の経過に伴って、新たに発生した陽極と陰極の短絡である。このように、時間の経過に伴って新たに発生した陽極と陰極の短絡は、陽極の微細な突起により発生する。つまり、一对の電極間に電界発光層が挟まれた積層体には、時間の経過に伴って、陽極と陰極の短絡が発生する。上記問題を鑑み、上述したように、本発明は、出荷前だけではなく、定期的に逆方向バイアスを印加する表示装置及びその駆動方法を提供する。逆方向バイアスの印加により、陽極と陰極の短絡部のみに局所的に電流が流れ、短絡部は絶縁化する。その結果、進行性不良が生じて、その不良を解消し、画像の表示を良好に行うことができる表示装置及びその駆動方法を提供することができる。

【0118】

また一对の電極間に電界発光層が挟まれた積層体には、順方向バイアスの電圧を印加しても発光しない箇所がある。このような非発光性の不良はダークスポットとよばれ、また、時間の経過に伴って進行するため、進行性不良ともよばれる。ダークスポットは、電界発光層と陰極との接触不良により生じるもので、前記電界発光層と前記陰極の間に微少な空隙があり、その空隙が広がっていくことにより進行すると考えられている。しかしながら、逆方向バイアスを印加すると、その空隙の広がりを抑制することができる。つまり、ダークスポットの進行を抑制することができる。従って、上述したように、逆方向バイアスを印加する本発明は、ダークスポットの進行を抑制する表示装置及びその駆動方法を提供することができる。

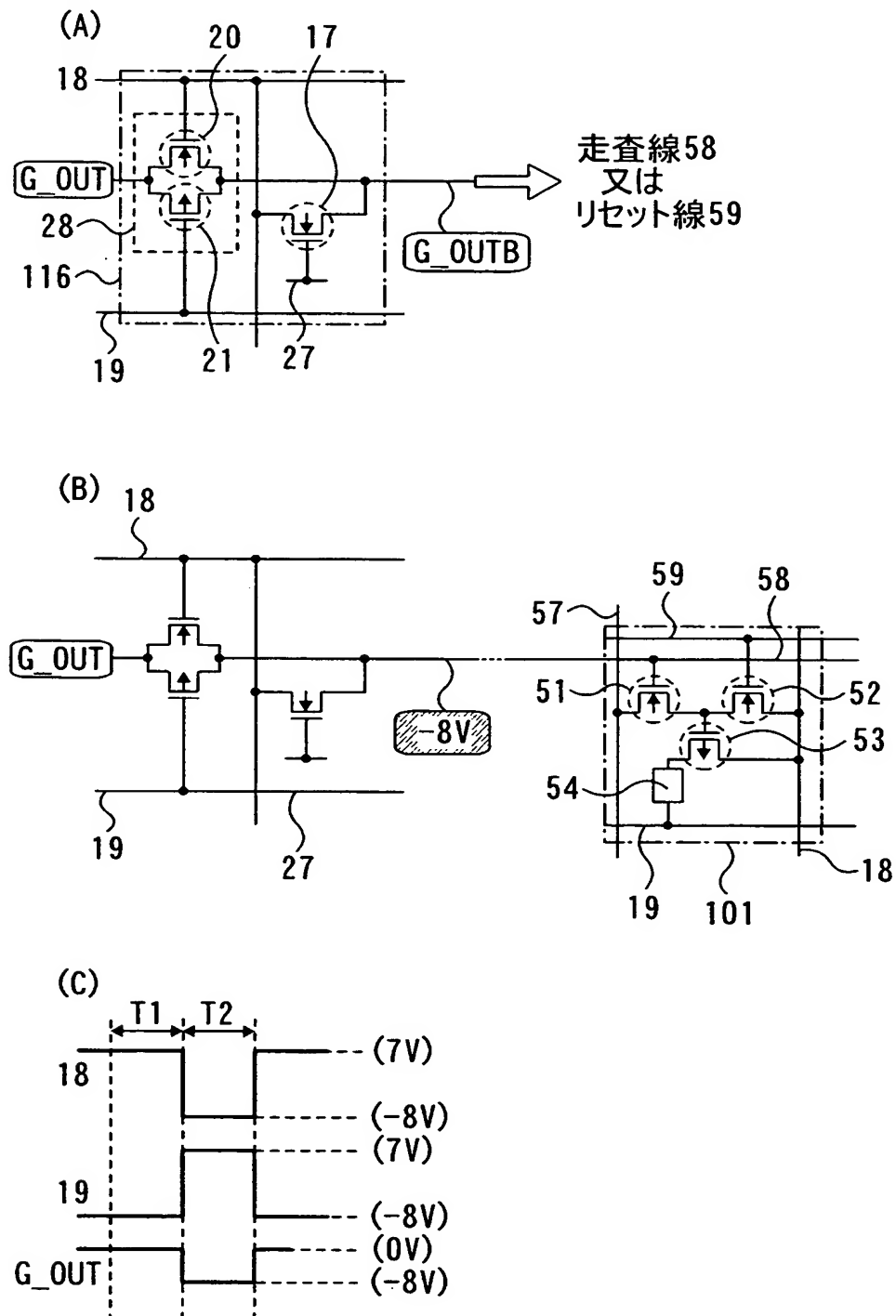
【図面の簡単な説明】

## 【 0 1 1 9 】

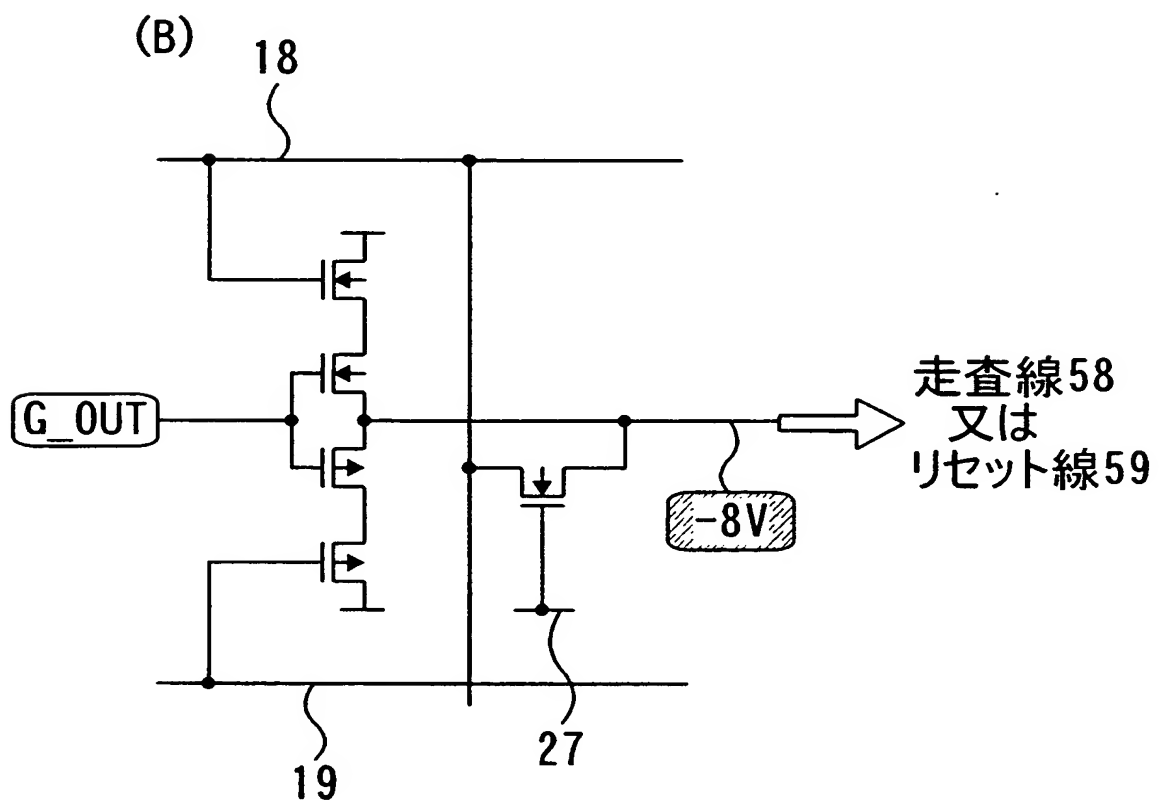
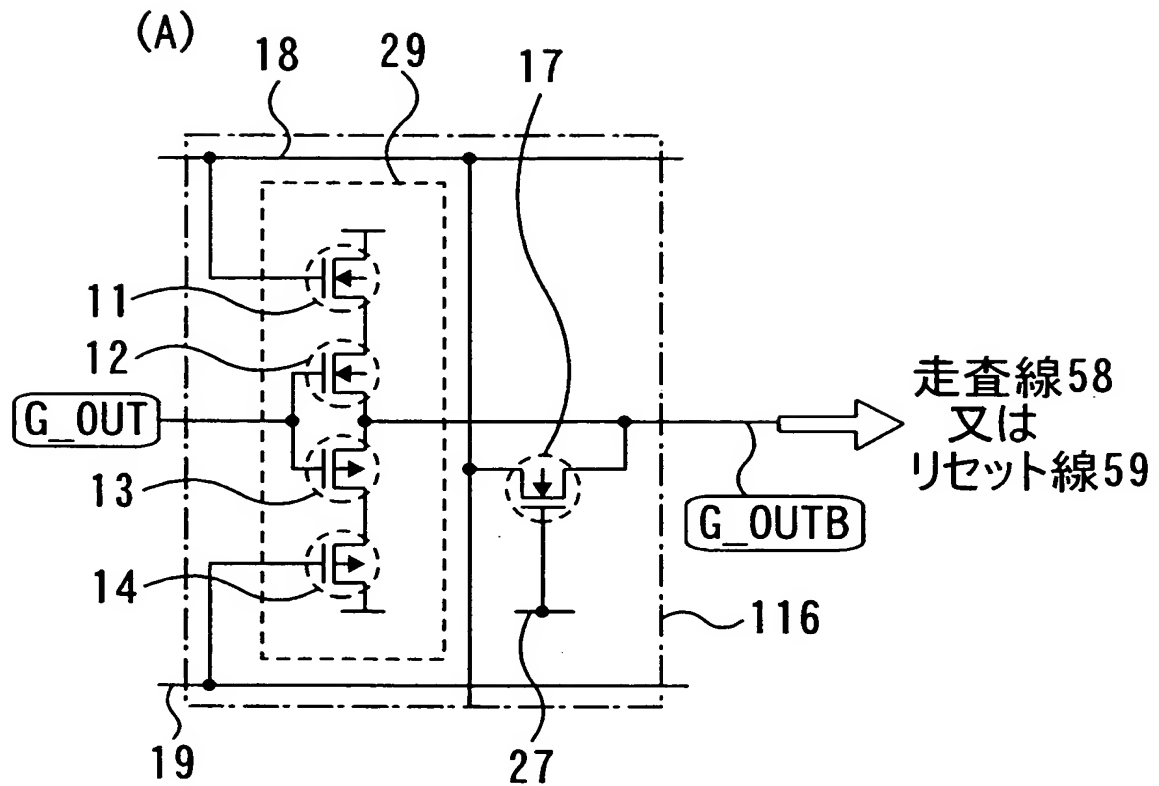
- 【図 1】 本発明の表示装置及びその駆動方法を説明する図（実施の形態 1）
- 【図 2】 本発明の表示装置及びその駆動方法を説明する図（実施の形態 1）
- 【図 3】 本発明の表示装置及びその駆動方法を説明する図（実施の形態 1）
- 【図 4】 本発明の表示装置及びその駆動方法を説明する図（実施の形態 2）。
- 【図 5】 レベルシフトを示す図（実施例 1）。
- 【図 6】 タイミングチャートを示す図（実施例 2）。
- 【図 7】 パネル、走査線駆動回路及び信号線駆動回路を示す図（実施例 3）。
- 【図 8】 本発明が適用される電子機器を示す図（実施例 4）。
- 【図 9】 表示装置及びその駆動方法を説明する図。
- 【図 1 0】 画素上面図の一例を示す図（実施例 7）。
- 【図 1 1】 画素構成を示す図（実施例 6）
- 【図 1 2】 画素上面図の一例を示す図（実施例 8）
- 【図 1 3】 ボトムエミッションパネルの断面図を示す図（実施例 9）
- 【図 1 4】 トップエミッションパネルの断面図を示す図（実施例 9）
- 【図 1 5】 デュアルエミッションパネルの断面図を示す図（実施例 9）

【書類名】 図面

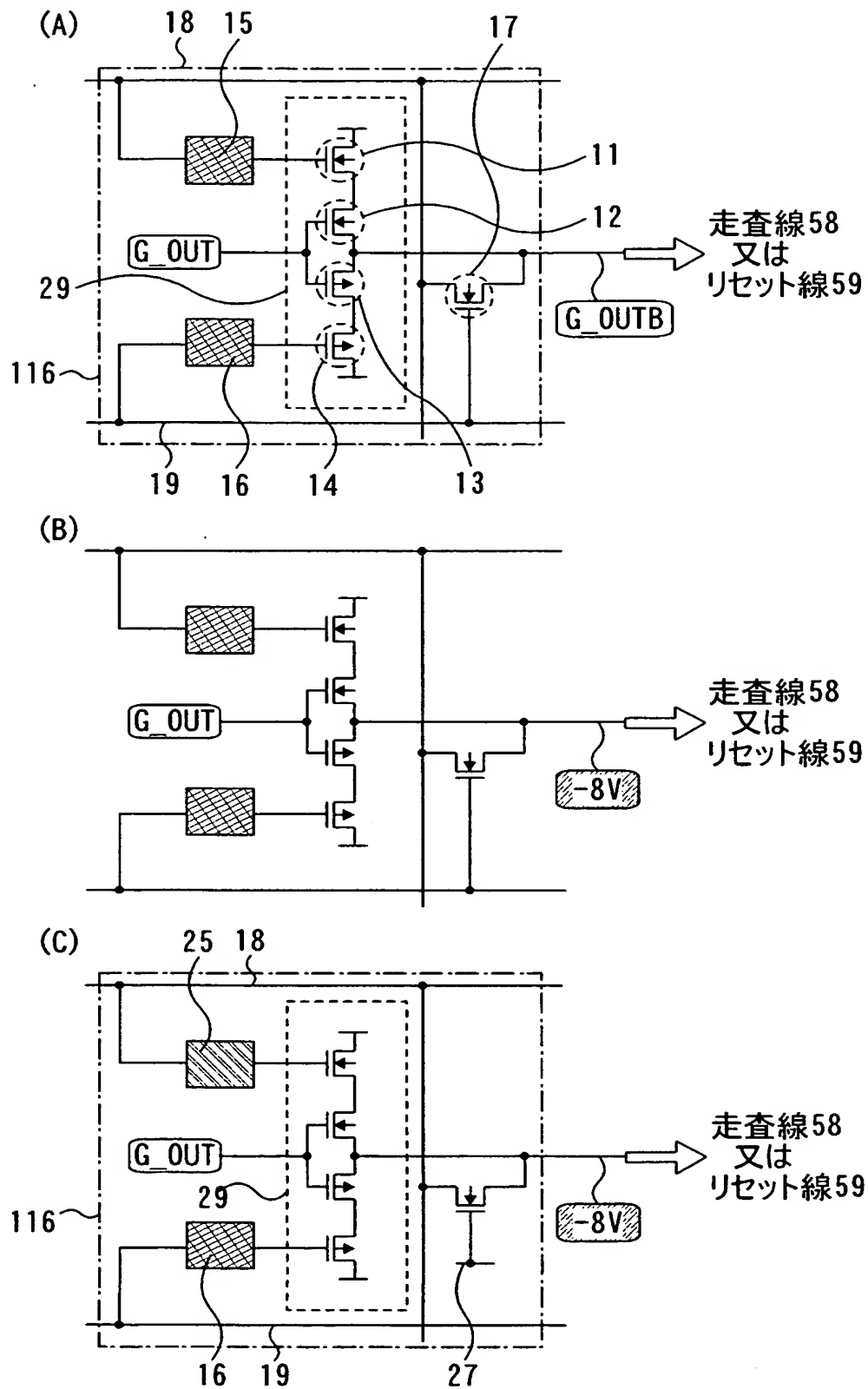
【図 1】



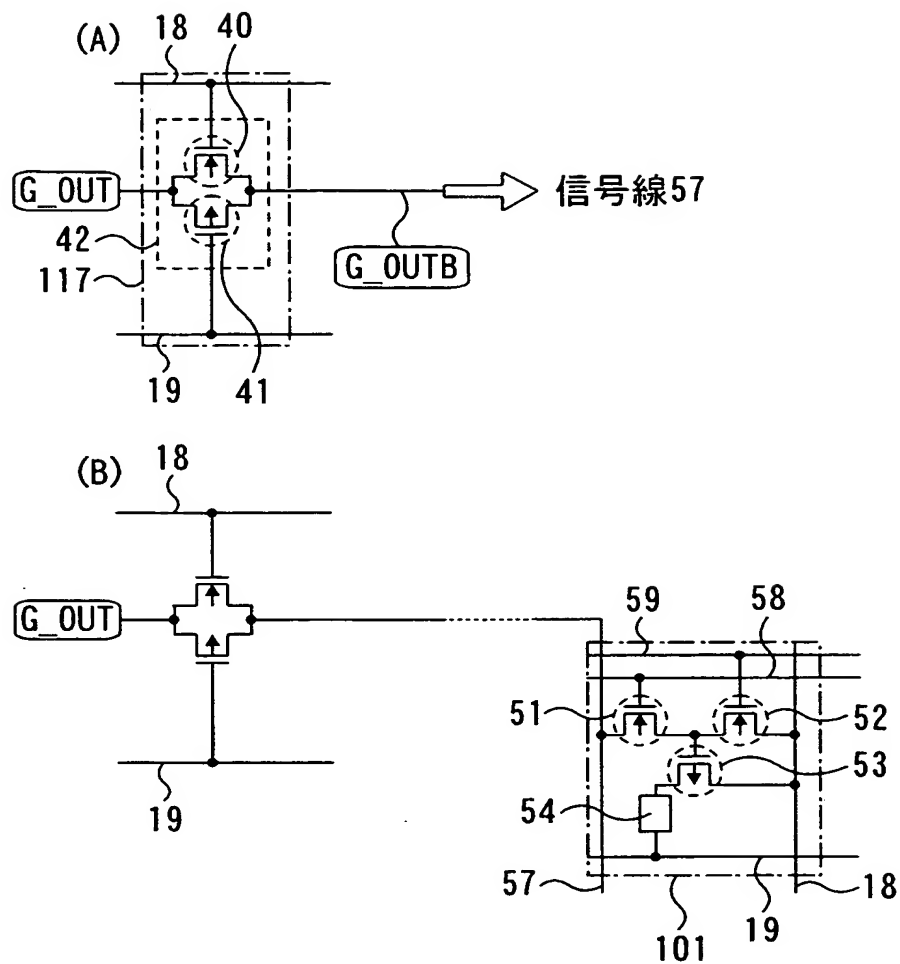
【図 2】



【図 3】

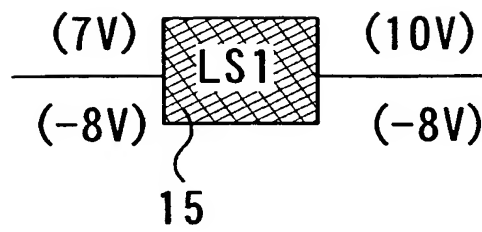


【図 4】

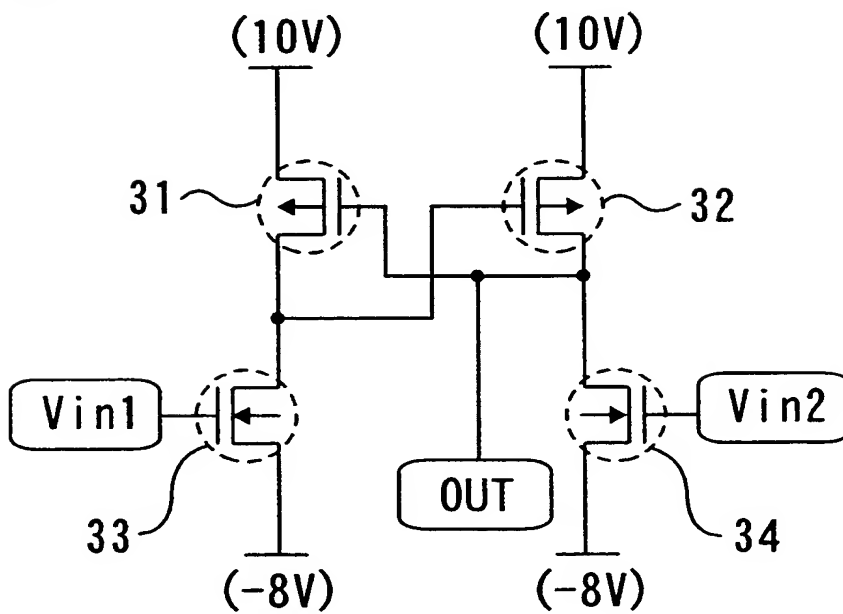


【図 5】

(A)

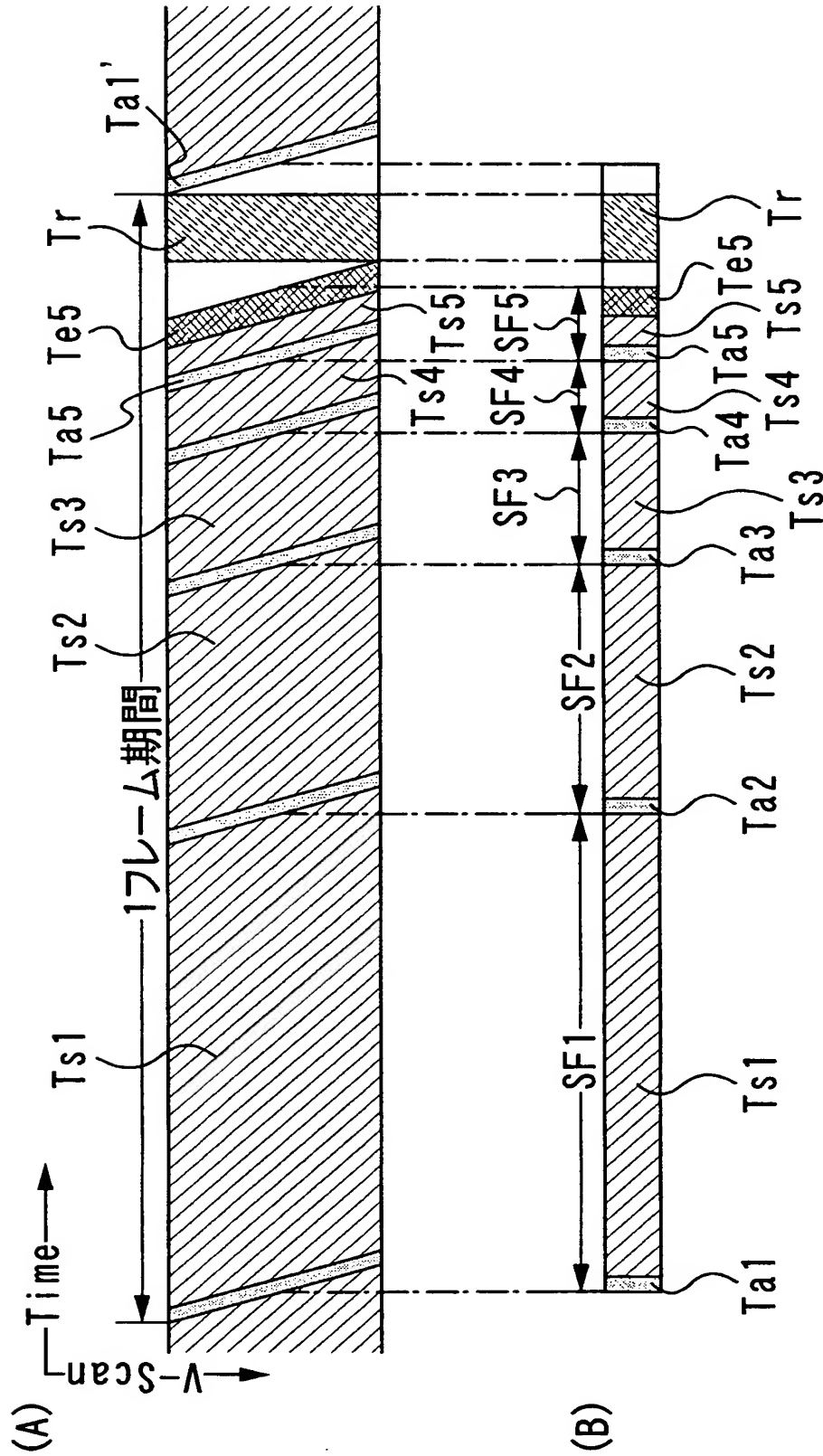


(B)

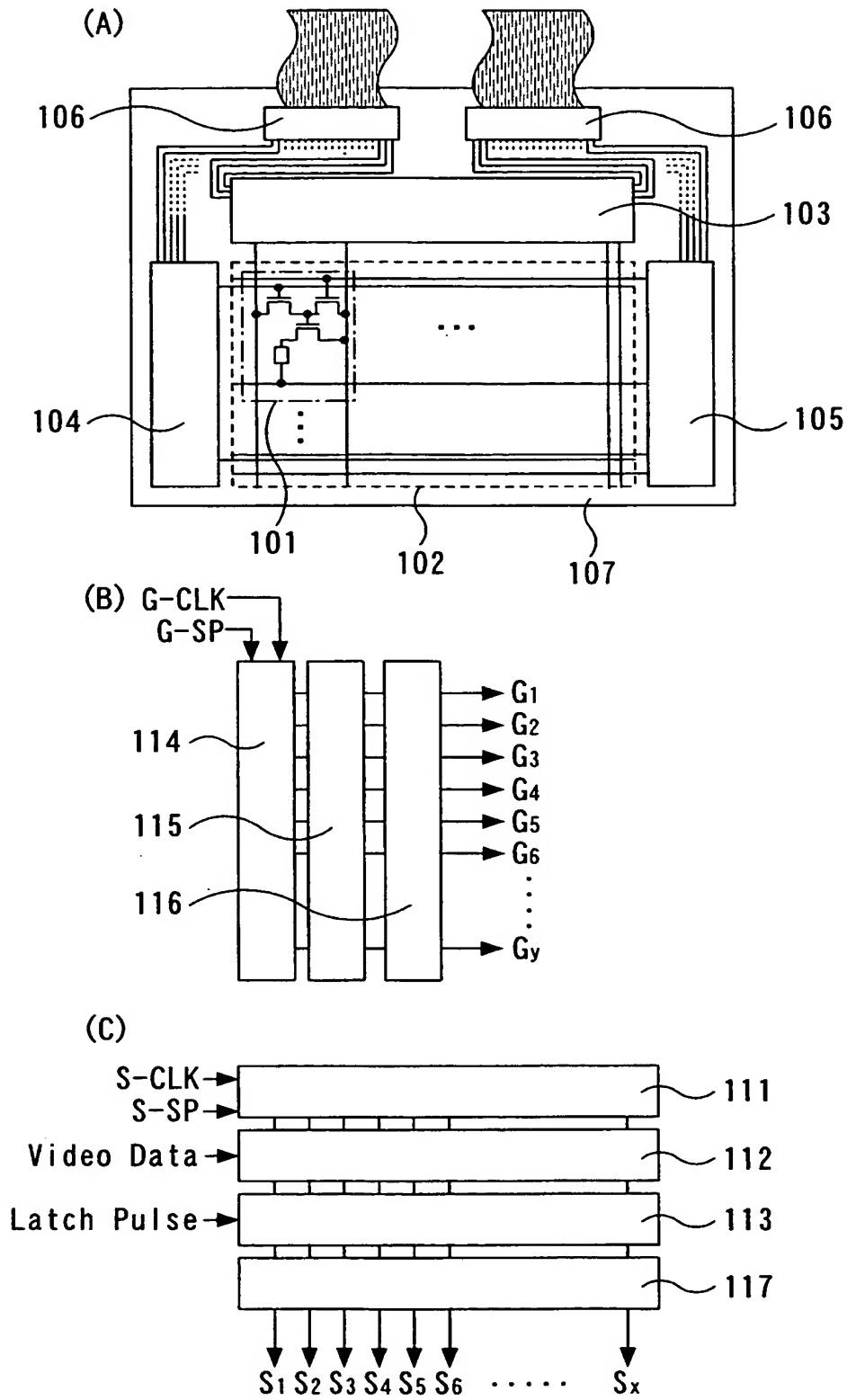




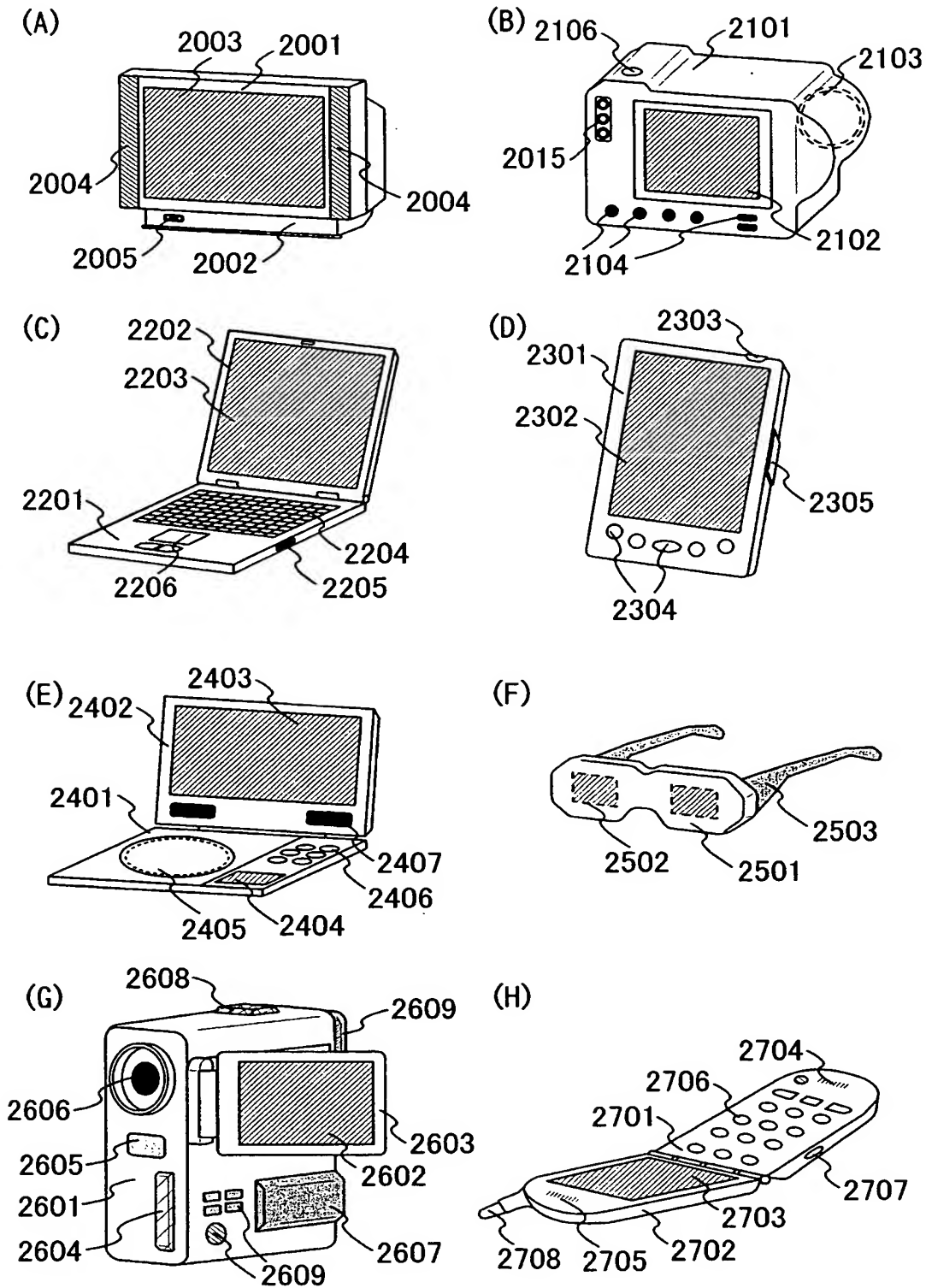
【図 6】



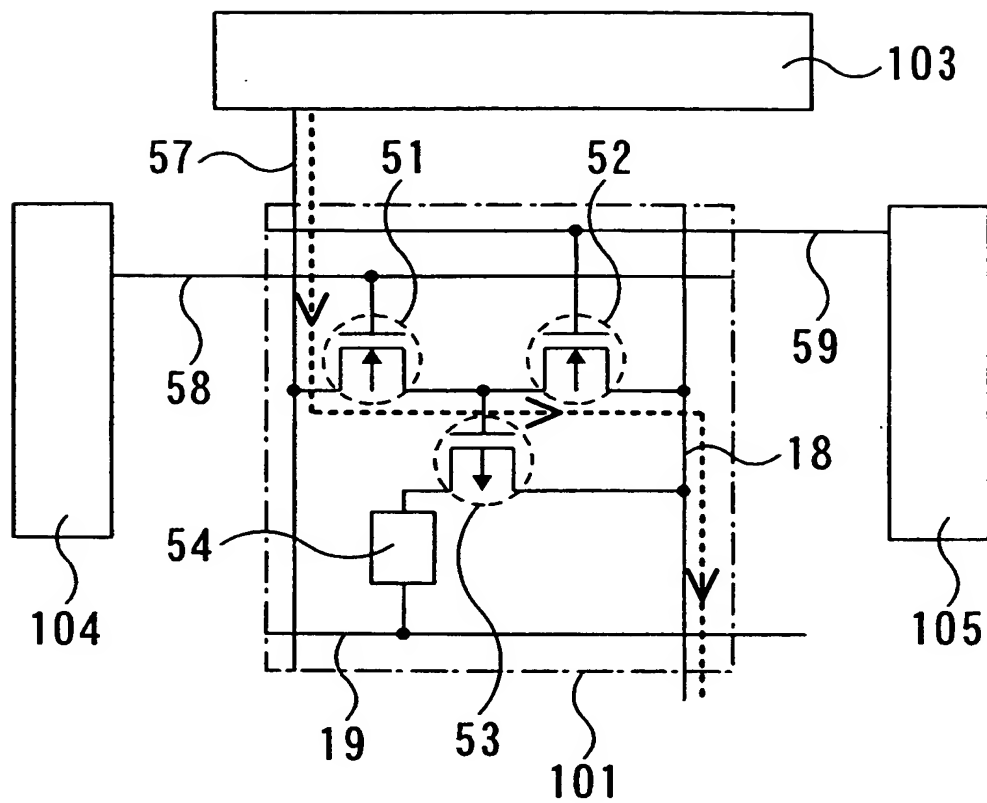
【図 7】



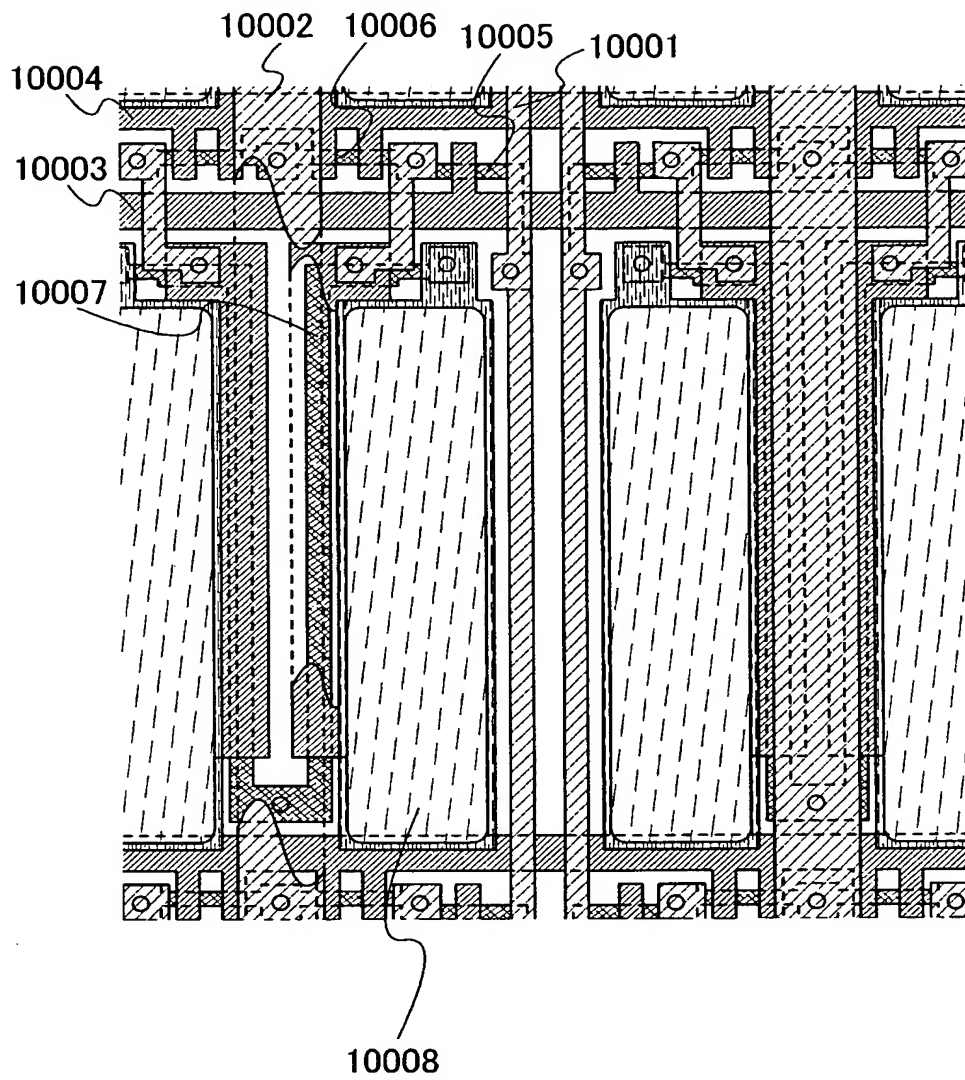
【図 8】



【図 9】

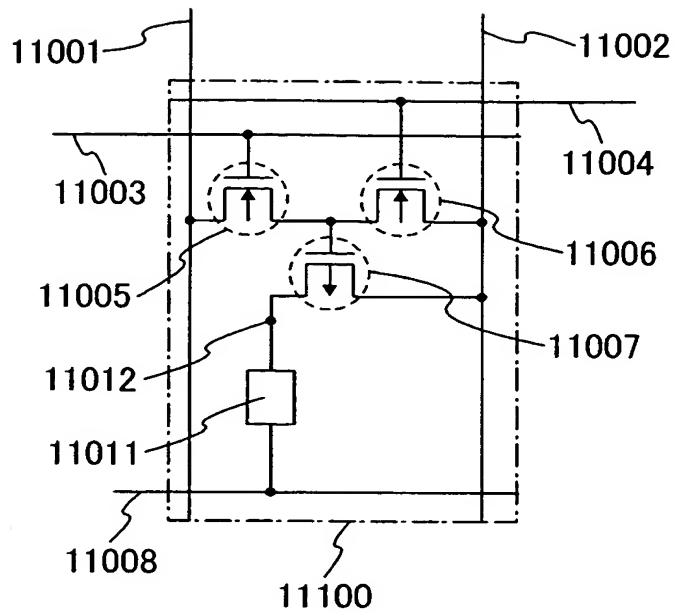


【図 10】

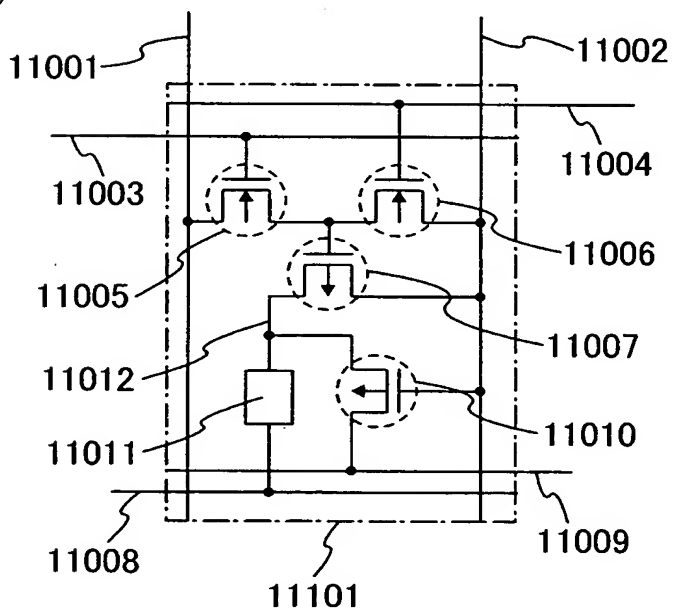


【図 11】

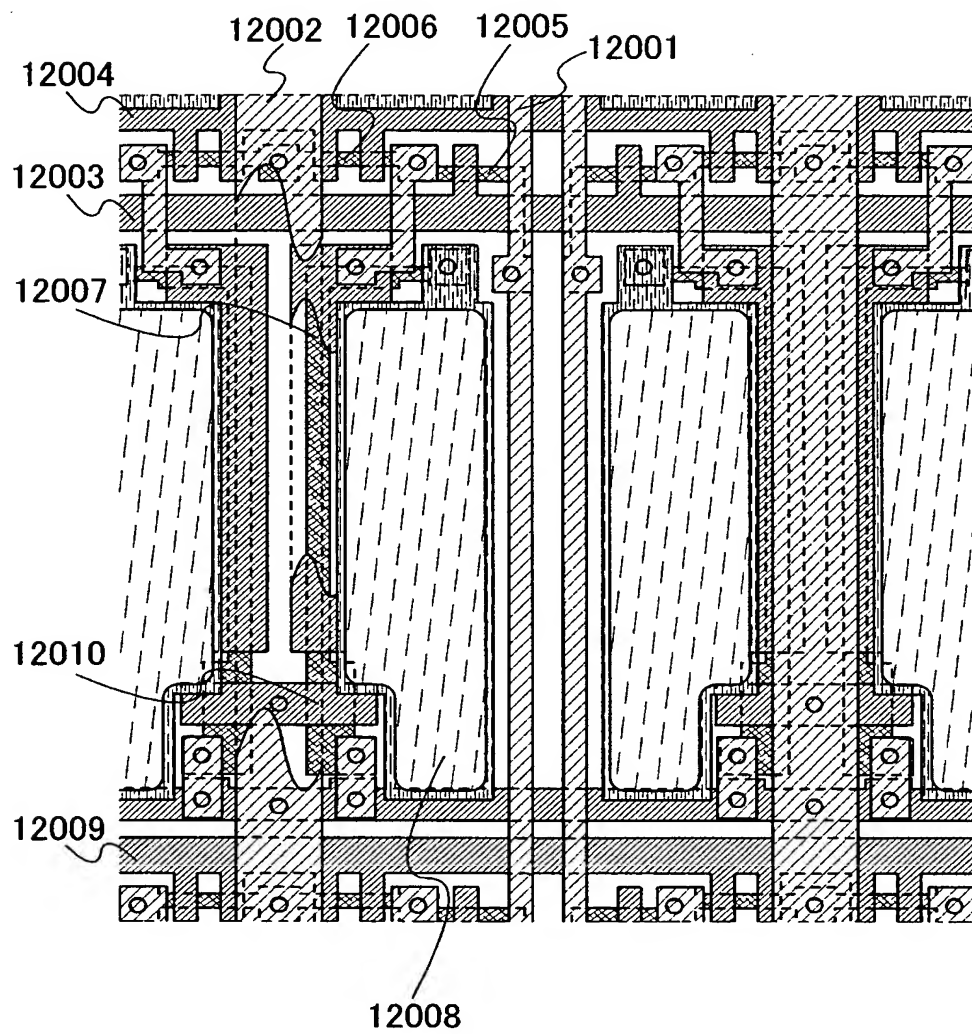
(A)



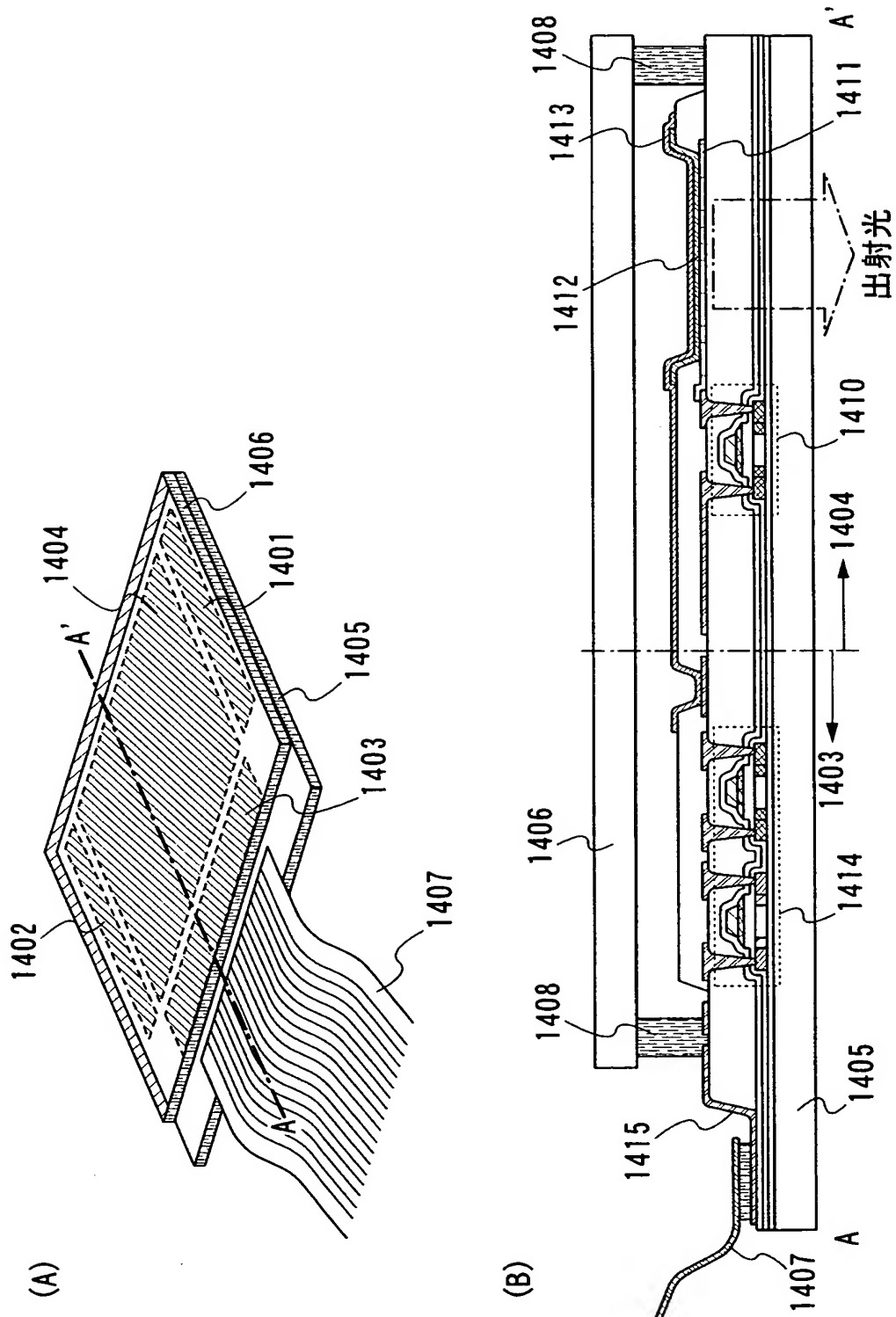
(B)



【図 12】

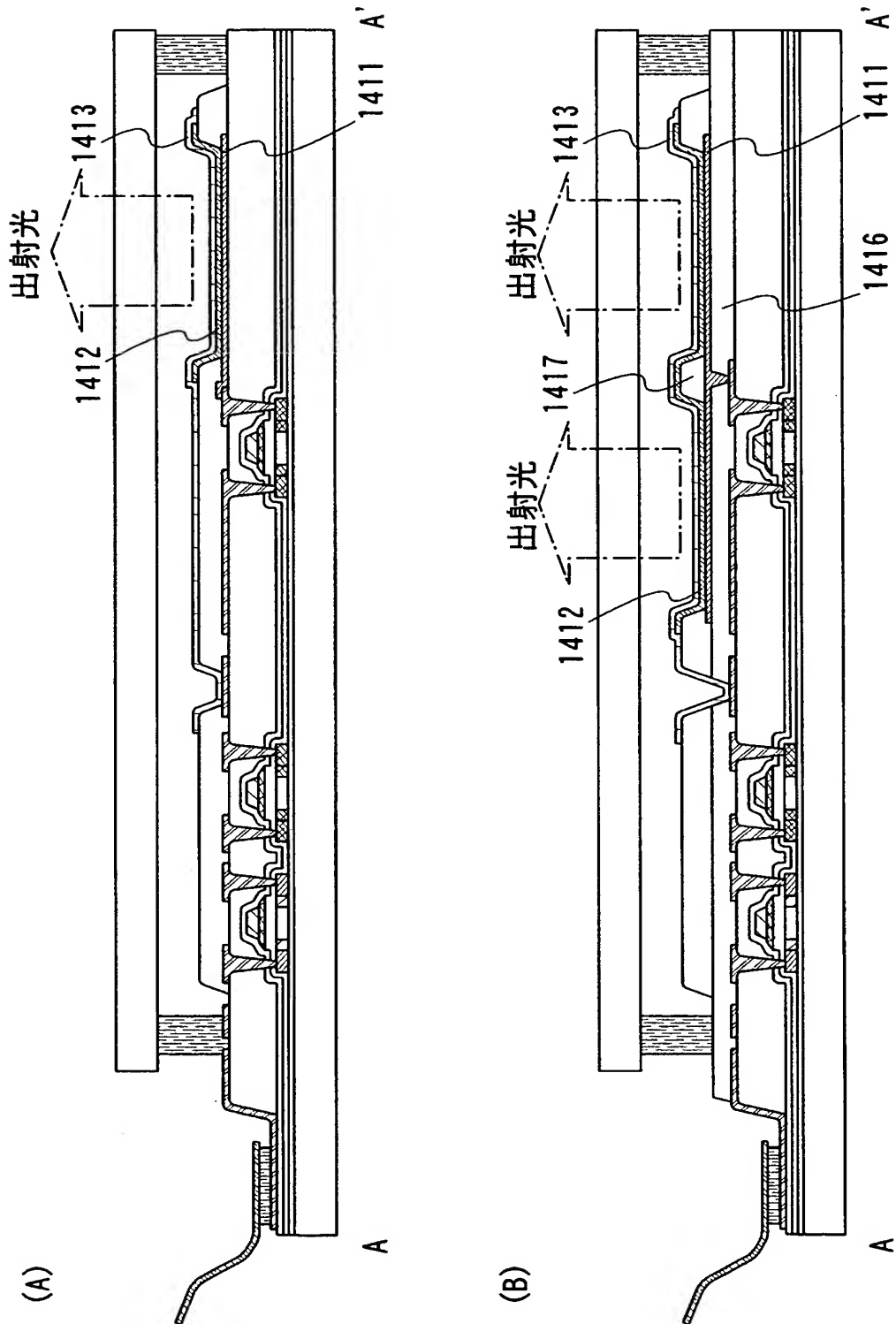


【図 13】

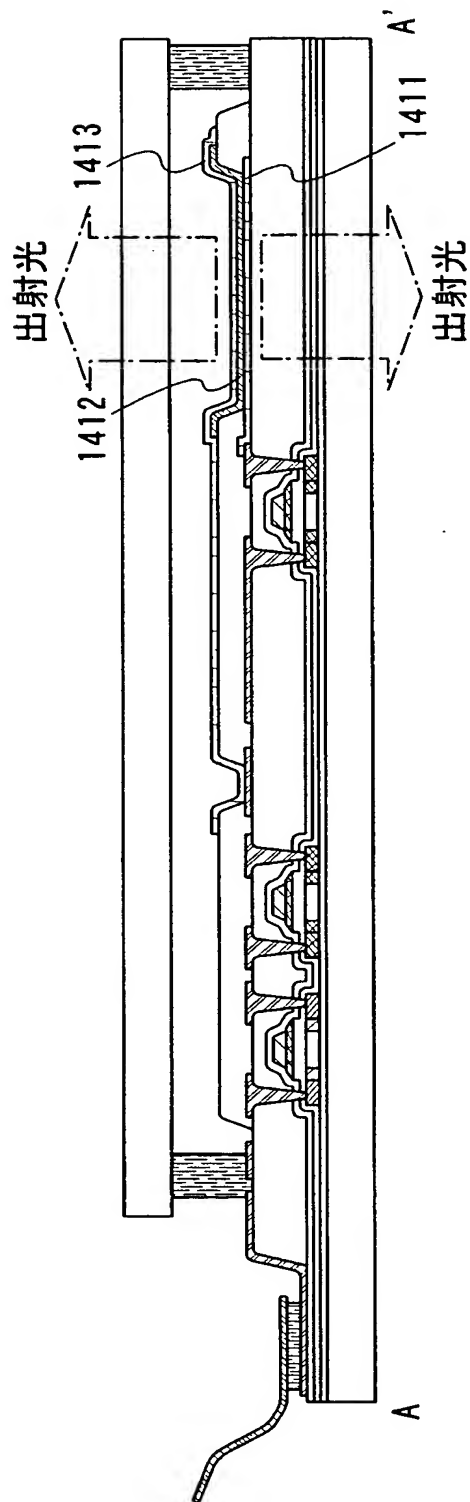




【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 逆バイアスを印加した際、アノード線と信号線駆動回路に具備される電源線とのショートを防止した表示装置及びその駆動方法を提供する。

【解決手段】 本発明は、走査線駆動回路又は信号線駆動回路に逆バイアス印加回路を設けて、信号線とアノード線の間に配置されたトランジスタに、該逆バイアス印加回路からの信号を供給し、当該トランジスタをオフする。逆バイアス印加回路は、アナログスイッチ又はクロックドインバータと、バイアス用トランジスタとを具備しており、アノード線とカソード線の電位を反転して、発光素子に逆方向バイアスを印加すると同時に、アナログスイッチをオフにし、バイアス用トランジスタをオンにするように駆動する。そうすると、アノード線の電位と走査線の電位を同電位にして、アノード線と信号線との間に配置されたトランジスタを確実にオフすることができる。

【選択図】 図 1

特願 2 0 0 3 - 4 2 3 5 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所